

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 9 日
Date of Application:

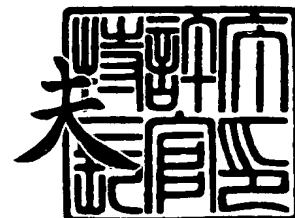
出 願 番 号 特 願 2 0 0 2 - 3 4 7 3 2 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 4 7 3 2 0]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s): シャープ株式会社

2 0 0 3 年 8 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 P006622

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 石川 明

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 福島 康守

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100110858

 【弁理士】

 【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

 【識別番号】 100100413

 【弁理士】

 【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207030

【包括委任状番号】 0207031

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】 画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された、低抵抗材料からなる配線と、

を具備することを特徴とする半導体装置。

【請求項 2】 画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された配線と、

を具備し、

前記配線が 2 層以上の多層配線であることを特徴とする半導体装置。

【請求項 3】 画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された T F T のゲイト電極と、

前記ゲイト電極に接続され、該ゲイト電極の上層又は下層に形成された配線と

を具備し、

前記ゲイト電極は各 T F T において孤立して形成されていることを特徴とする半導体装置。

【請求項 4】 請求項 3 において、前記配線は 2 層以上の多層配線であることを特徴とする半導体装置。

【請求項 5】 画素領域と、

前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、

前記周辺回路領域に形成された T F T のゲイト電極と、

前記ゲイト電極に接続され、該ゲイト電極の上層又は下層に形成された短距離配線と、

を具備し、

前記ゲイト電極は各 T F T において孤立して形成されていることを特徴とする

半導体装置。

【請求項 6】 請求項 5 において、前記短距離配線は画素内を引き回す配線又は 1 つの機能ブロックを引き回す配線であることを特徴とする半導体装置。

【請求項 7】 請求項 5 又は 6 において、前記短距離配線の長さが $2\ \mu\text{m}$ 以上 $2\ \text{cm}$ 未満であることを特徴とする半導体装置。

【請求項 8】 請求項 5 乃至 7 のうちのいずれか一項において、前記短距離配線は 2 層以上の多層配線であることを特徴とする半導体装置。

【請求項 9】 請求項 5 乃至 8 のうちのいずれか一項において、前記短距離配線の上層に形成された長距離配線をさらに具備することを特徴とする半導体装置。

【請求項 10】 画素領域と、
前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、
前記周辺回路領域に形成された T F T のゲイト電極と、
前記ゲイト電極の上層又は下層に形成された長距離配線と、
を具備し、
前記ゲイト電極は各 T F T において孤立して形成されていることを特徴とする半導体装置。

【請求項 11】 請求項 9 又は 10 において、前記長距離配線の長さは画素ピッチの百倍以上の長さであることを特徴とする半導体装置。

【請求項 12】 請求項 9 乃至 11 のうちのいずれか一項において、前記長距離配線の長さが $2\ \text{cm}$ 以上 $10\ \text{cm}$ 以下であることを特徴とする半導体装置。

【請求項 13】 請求項 9 乃至 12 のうちのいずれか一項において、前記長距離配線は 2 層以上の多層配線であることを特徴とする半導体装置。

【請求項 14】 請求項 2、4、8 及び 13 のうちのいずれか一項において、前記多層配線のうちの少なくとも 1 層の配線が低抵抗材料からなることを特徴とする半導体装置。

【請求項 15】 請求項 1 又は 14 において、前記低抵抗材料が銅、銅合金、金、金合金、銀、銀合金の群から選ばれた一又は複数の材料であることを特徴とする半導体装置。

【請求項 16】 請求項 1 乃至 15 のうちのいずれか一項において、前記周辺回路領域にはトランジスタが形成されており、前記トランジスタの上方に 2 層以上の多層配線が形成されていることを特徴とする半導体装置。

【請求項 17】 基板上の駆動回路領域に駆動回路用 T F T を形成すると共に基板上の画素領域に画素用 T F T を形成する工程と、

前記駆動回路用 T F T の上方に第 1 の配線を形成し、第 1 の配線の上方に第 2 の配線を形成し、第 2 の配線の上方に第 3 の配線を形成すると共に、前記画素用 T F T のドレイン領域上に第 1 の容量素子を形成し、第 1 の容量素子上に第 2 の容量素子を形成する工程と、

を具備することを特徴とする半導体装置の作製方法。

【請求項 18】 基板上の駆動回路領域形成された駆動回路用 T F T と、
基板上の画素領域に形成された画素用 T F T と、
前記駆動回路用 T F T の上方に形成された第 1 の配線と、
前記第 1 の配線の上方に形成された第 2 の配線と、
前記第 2 の配線の上方に形成された第 3 の配線と、
前記画素用 T F T のドレイン領域上に形成された第 1 の容量素子と、
前記第 1 の容量素子上に形成された第 2 の容量素子と、
を具備することを特徴とする半導体装置。

【請求項 19】 基板上の駆動回路領域に駆動回路用 T F T を形成すると共に基板上の画素領域に画素用 T F T を形成する工程と、

前記駆動回路用 T F T 及び前記画素用 T F T の上に第 1 の層間絶縁膜を形成する工程と、

前記画素領域の第 1 の層間絶縁膜に、画素用 T F T のドレイン領域上に位置する第 1 コンタクトホールを形成する工程と、

前記駆動回路領域の第 1 の層間絶縁膜上に第 1 の導電膜からなる第 1 の配線を形成すると共に、前記第 1 コンタクトホール内に第 1 の導電膜からなるドレイン電極を形成する工程と、

前記第 1 の配線、前記ドレイン電極及び第 1 の層間絶縁膜の上に第 2 の層間絶縁膜を形成する工程と、

前記画素領域の第2の層間絶縁膜に、前記第1コンタクトホール上且つ前記ドレイン電極上に位置する第2コンタクトホールを形成する工程と、

前記第2の層間絶縁膜上及び前記第2コンタクトホール内に第3の層間絶縁膜を形成する工程と、

前記駆動回路領域の第3の層間絶縁膜上に、第2の導電膜からなる第2の配線を形成すると共に、前記第2コンタクトホール内に第2の導電膜からなる第1の容量電極を形成する工程と、

前記第1の容量電極をエッチング加工することにより、前記第2コンタクトホールの底部に位置する第3の層間絶縁膜の一部を露出させる工程と、

前記第2の配線、前記第1の容量電極及び第3の層間絶縁膜の上に第4の層間絶縁膜を形成する工程と、

前記画素領域の第4の層間絶縁膜に、前記第2コンタクトホール上且つ第1の容量電極上に位置する第3コンタクトホールを形成する工程と、

前記第4の層間絶縁膜上及び前記第3コンタクトホール内に第5の層間絶縁膜を形成する工程と、

前記第3コンタクトホールの底部に位置する第3及び第5の層間絶縁膜をエッチング加工することにより、第3コンタクトホールの底部下に位置するドレイン電極の一部を露出させる工程と、

前記駆動回路領域の第5の層間絶縁膜上に、第3の導電膜からなる第3の配線を形成すると共に、前記第3コンタクトホール内に第3の導電膜からなる第2の容量電極を形成し、第2の容量電極を前記ドレイン電極に電氣的に接続する工程と、

を具備し、

前記第1乃至第3コンタクトホール内に、前記ドレイン電極、誘電体としての第3の層間絶縁膜及び第1の容量電極から構成された第1の容量素子と、第1の容量電極、誘電体としての第5の層間絶縁膜及び第2の容量電極から構成された第2の容量素子とを形成することを特徴とする半導体装置の作製方法。

【請求項20】 請求項19において、前記ドレイン電極に電氣的に接続する工程の後に、前記第3の配線、第2の容量電極及び第5の層間絶縁膜の上に第

6の層間絶縁膜を形成する工程と、前記画素領域の第5の層間絶縁膜上に、第2の容量電極と電氣的に接続された画素電極を形成する工程と、をさらに有することを特徴とする半導体装置の作製方法。

【請求項 21】 基板上の駆動回路領域に形成された駆動回路用 T F T と、
基板上の画素領域に形成された画素用 T F T と、
前記駆動回路用 T F T 及び前記画素用 T F T の上に形成された第 1 の層間絶縁膜と、
前記画素領域の第 1 の層間絶縁膜に形成され、画素用 T F T のドレイン領域上に位置する第 1 コンタクトホールと、
前記駆動回路領域の第 1 の層間絶縁膜上に形成された第 1 の導電膜からなる第 1 の配線と、
前記第 1 コンタクトホール内に形成された第 1 の導電膜からなるドレイン電極と、
前記第 1 の配線、前記ドレイン電極及び第 1 の層間絶縁膜の上に形成された第 2 の層間絶縁膜と、
前記画素領域の第 2 の層間絶縁膜に形成され、前記第 1 コンタクトホール上且つ前記ドレイン電極上に位置する第 2 コンタクトホールと、
前記第 2 の層間絶縁膜上及び前記第 2 コンタクトホール内に形成された第 3 の層間絶縁膜と、
前記駆動回路領域の第 3 の層間絶縁膜上に形成された第 2 の導電膜からなる第 2 の配線と、
前記第 2 コンタクトホール内に形成された第 2 の導電膜からなる第 1 の容量電極と、
前記第 1 の容量電極に形成され、前記第 2 コンタクトホールの底部に位置する第 3 の層間絶縁膜の一部を露出させるためのホールと、
前記第 2 の配線、前記第 1 の容量電極及び第 3 の層間絶縁膜の上に形成された第 4 の層間絶縁膜と、
前記画素領域の第 4 の層間絶縁膜に形成され、前記第 2 コンタクトホール上且つ第 1 の容量電極上に位置する第 3 コンタクトホールと、

前記第 4 の層間絶縁膜上及び前記第 3 コンタクトホール内に形成された第 5 の層間絶縁膜と、

前記第 3 コンタクトホールの底部に位置する第 3 及び第 5 の層間絶縁膜に形成され、第 3 コンタクトホールの底部下に位置するドレイン電極の一部を露出させるためのホールと、

前記駆動回路領域の第 5 の層間絶縁膜上に形成された第 3 の導電膜からなる第 3 の配線と、

前記第 3 コンタクトホール内に形成され、前記ドレイン電極に電氣的に接続された第 3 の導電膜からなる第 2 の容量電極と、

を具備し、

前記第 1 乃至第 3 コンタクトホール内に、前記ドレイン電極、誘電体としての第 3 の層間絶縁膜及び第 1 の容量電極から構成された第 1 の容量素子と、第 1 の容量電極、誘電体としての第 5 の層間絶縁膜及び第 2 の容量電極から構成された第 2 の容量素子とを形成することを特徴とする半導体装置。

【請求項 22】 請求項 21 において、前記第 3 の配線、第 2 の容量電極及び第 5 の層間絶縁膜の上に形成された第 6 の層間絶縁膜と、前記画素領域の第 5 の層間絶縁膜上に形成され、第 2 の容量電極と電氣的に接続された画素電極と、をさらに有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその作製方法に係わり、特に一つ又は複数の画素を有する画素領域に対して周辺回路の領域が占める面積を小さくするための技術に関する。また、配線を多層化し、周辺回路の領域の幅を狭くして狭額縁化することにより、画素領域の開口率を向上させる技術に関する。

【0002】

【従来の技術】

図 6 は、従来の液晶表示装置における 1 つのチップを模式的に示す平面図である。

この液晶表示装置における 1つのチップは平面形状が四角形の画素領域 101 を有しており、画素領域 101 は 1つ又は複数の画素で構成されている。この画素領域 101 の周囲（上側、左側、右側）には周辺回路 102 a ~ 102 c が配置されている。このようなチップは、同一基板上に 1つ又は複数配列されている。各々の周辺回路 102 a ~ 102 c は平面形状が細長い四角形を有しており、その四角形の短い一辺の幅は 2 ~ 3 mm 程度である。このように幅が 2 ~ 3 mm 程度必要となる理由は、周辺回路に形成されている電源ライン、クロックラインなどの配線の幅が数十 ~ 数百 μm に及ぶので該配線が占有する面積が大きくなるからである。

【0003】

周辺回路 102 a ~ 102 c は T F T (thin film transistor) を有しており、この T F T はポリシリコン又は W 等の高融点金属からなるゲイト電極を有している。ゲイト電極は特定の T F T 活性層へのゲイト電圧を印加するものであり、複数の T F T のゲイト電極は電氣的に接続されている。また、ゲイト電極は交差する配線に電氣的に接続されている。配線は複数の T F T 間を電氣的に接続するものであり、ゲイト電極の上層に配置される。また、配線は T F T と画素電極を接続するものである。なお、配線は例えば A l 膜とバリアメタル膜との積層構造となっており、バリアメタル膜は T i 、T i N 、T a 、T a N 、W 等の単層又はこれらの積層構造となっている。

【0004】

配線層の上層には A l 膜等からなるブラックマスクが形成されており、ブラックマスクは遮光機能や電位遮蔽機能を有している。また、ブラックマスクの上層には I T O からなる画素電極が形成されている。

【0005】

【特許文献 1】

特開平 9-43630 号公報

【0006】

【発明が解決しようとする課題】

前述したように周辺回路の領域は 2 ~ 3 mm 程度の幅を有しているが、この幅

を狭くすることが求められている。その理由は、この幅を狭くして狭額縁化することにより、画素領域の開口率を向上させることができるからである。つまり、同じチップサイズなら画素領域の占有面積が拡大するため、一画素あたりの占有面積も拡大し、画素の開口面積を大きくすることができ、明るさを向上させることができるためである。また、逆に画素領域の占有面積が同じならチップサイズを小さくでき、量産性を向上させることができるためである。

【0007】

また、上記従来の液晶表示装置では、配線層が単層であり、露光装置の制約などから、配線層の集積度を上げることが困難であった。すなわち、配線を同一層に形成すると、配線の占有面積が増大し、チップ全体に占める駆動回路、周辺回路の占有面積が増大する。このため、周辺回路の領域の幅を狭くすることの障害となっていた。

【0008】

また、周辺回路領域の幅が広くなることにより、複数の画素を電氣的に接続する配線が画素領域を横切るため、配線の長さも長くなる傾向にある。その結果、配線の抵抗が理想的な抵抗値より高くなることがあり、TFTに供給される電流が不足することがある。

【0009】

また、配線の下層に形成されるゲイト電極を低抵抗化するため、ゲイト電極の厚さが厚くなる傾向にある。これにより、配線層の下地の段差が大きくなり、配線を形成する際のパターニングマージン等が減少し、その結果、パターニングされた配線が段切れしてしまうことがある。

【0010】

本発明は上記のような事情を考慮してなされたものであり、一つの画素領域に対して周辺回路の領域が占める面積を小さくするための技術を提供することにある。特に、配線を多層化し、周辺回路の領域の幅を狭くして狭額縁化することにより、画素領域の開口率を向上させることを目的とする。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置は、画素領域と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、前記周辺回路領域に形成された、低抵抗材料からなる配線と、を具備することを特徴とする。

【0012】

上記半導体装置によれば、周辺回路領域に低抵抗材料からなる配線を形成しているため、配線の幅を狭くすることができる。したがって、画素領域に対して周辺回路の領域が占める面積を小さくすることができる。

【0013】

本発明に係る半導体装置は、画素領域と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、前記周辺回路領域に形成された配線と、を具備し、前記配線が2層以上の多層配線であることを特徴とする。

【0014】

上記半導体装置によれば、周辺回路領域に多層配線を形成しているため、周辺回路領域の幅を狭くして狭額縁化することができ、それにより、画素領域の開口率を向上させることができる。

【0015】

本発明に係る半導体装置は、画素領域と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、前記周辺回路領域に形成されたTFTのゲイト電極と、前記ゲイト電極に接続され、該ゲイト電極の上層又は下層に形成された配線と、を具備し、前記ゲイト電極は各TFTにおいて孤立して形成されていることを特徴とする。

また、本発明に係る半導体装置において、前記配線は2層以上の多層配線であることが好ましい。

【0016】

本発明に係る半導体装置は、画素領域と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、前記周辺回路領域に形成されたTFTのゲイト電極と、前記ゲイト電極に接続され、該ゲイト電極の上層又は下層に形成された短距離配線と、を具備し、前記ゲイト電極は各TFTにおいて孤立して形成されていることを特徴とする。

【0017】

また、本発明に係る半導体装置において、前記短距離配線は画素内を引き回す配線又は1つの機能ブロックを引き回す配線であることも可能である。

【0018】

また、本発明に係る半導体装置において、前記短距離配線の長さが $2\mu\text{m}$ 以上 2cm 未満であることが好ましい。

【0019】

また、本発明に係る半導体装置において、前記短距離配線は2層以上の多層配線であることも可能である。

【0020】

また、本発明に係る半導体装置において、前記短距離配線の上層に形成された長距離配線をさらに具備することも可能である。

【0021】

本発明に係る半導体装置は、画素領域と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域と、前記周辺回路領域に形成されたTFTのゲイト電極と、前記ゲイト電極の上層又は下層に形成された長距離配線と、を具備し、前記ゲイト電極は各TFTにおいて孤立して形成されていることを特徴とする。

【0022】

また、本発明に係る半導体装置において、前記長距離配線の長さは画素ピッチの百倍以上の長さであることも可能である。

【0023】

また、本発明に係る半導体装置において、前記長距離配線の長さが 2cm 以上 10cm 以下であることが好ましい。

【0024】

また、本発明に係る半導体装置において、前記長距離配線は2層以上の多層配線であることも可能である。

【0025】

また、本発明に係る半導体装置においては、前記多層配線のうちの少なくとも1層の配線が低抵抗材料からなることが好ましい。

【0026】

また、本発明に係る半導体装置においては、前記低抵抗材料が銅、銅合金、金、金合金、銀、銀合金の群から選ばれた一又は複数の材料であることも可能である。

【0027】

また、本発明に係る半導体装置において、前記周辺回路領域にはトランジスタが形成されており、前記トランジスタの上方に2層以上の多層配線が形成されていることも可能である。

【0028】

本発明に係る半導体装置の作製方法は、基板上の駆動回路領域に駆動回路用TFTを形成すると共に基板上の画素領域に画素用TFTを形成する工程と、前記駆動回路用TFTの上方に第1の配線を形成し、第1の配線の上方に第2の配線を形成し、第2の配線の上方に第3の配線を形成すると共に、前記画素用TFTのドレイン領域上に第1の容量素子を形成し、第1の容量素子上に第2の容量素子を形成する工程と、を具備することを特徴とする。

【0029】

上記半導体装置の作製方法によれば、駆動回路用TFTの上方に第1乃至第3の配線を形成すると共に、前記画素用TFTのドレイン領域上に第1及び第2の容量素子を形成するため、画素部の開口率を向上させることができる。

【0030】

本発明に係る半導体装置は、基板上の駆動回路領域に形成された駆動回路用TFTと、基板上の画素領域に形成された画素用TFTと、前記駆動回路用TFTの上方に形成された第1の配線と、前記第1の配線の上方に形成された第2の配線と、前記第2の配線の上方に形成された第3の配線と、前記画素用TFTのドレイン領域上に形成された第1の容量素子と、前記第1の容量素子上に形成された第2の容量素子と、を具備することを特徴とする。

【0031】

本発明に係る半導体装置の作製方法は、基板上の駆動回路領域に駆動回路用TFTを形成すると共に基板上の画素領域に画素用TFTを形成する工程と、前記

駆動回路用 T F T 及び前記画素用 T F T の上に第 1 の層間絶縁膜を形成する工程と、前記画素領域の第 1 の層間絶縁膜に、画素用 T F T のドレイン領域上に位置する第 1 コンタクトホールを形成する工程と、前記駆動回路領域の第 1 の層間絶縁膜上に第 1 の導電膜からなる第 1 の配線を形成すると共に、前記第 1 コンタクトホール内に第 1 の導電膜からなるドレイン電極を形成する工程と、前記第 1 の配線、前記ドレイン電極及び第 1 の層間絶縁膜の上に第 2 の層間絶縁膜を形成する工程と、前記画素領域の第 2 の層間絶縁膜に、前記第 1 コンタクトホール上且つ前記ドレイン電極上に位置する第 2 コンタクトホールを形成する工程と、前記第 2 の層間絶縁膜上及び前記第 2 コンタクトホール内に第 3 の層間絶縁膜を形成する工程と、前記駆動回路領域の第 3 の層間絶縁膜上に、第 2 の導電膜からなる第 2 の配線を形成すると共に、前記第 2 コンタクトホール内に第 2 の導電膜からなる第 1 の容量電極を形成する工程と、前記第 1 の容量電極をエッチング加工することにより、前記第 2 コンタクトホールの底部に位置する第 3 の層間絶縁膜の一部を露出させる工程と、前記第 2 の配線、前記第 1 の容量電極及び第 3 の層間絶縁膜の上に第 4 の層間絶縁膜を形成する工程と、前記画素領域の第 4 の層間絶縁膜に、前記第 2 コンタクトホール上且つ第 1 の容量電極上に位置する第 3 コンタクトホールを形成する工程と、前記第 4 の層間絶縁膜上及び前記第 3 コンタクトホール内に第 5 の層間絶縁膜を形成する工程と、前記第 3 コンタクトホールの底部に位置する第 3 及び第 5 の層間絶縁膜をエッチング加工することにより、第 3 コンタクトホールの底部下に位置するドレイン電極の一部を露出させる工程と、前記駆動回路領域の第 5 の層間絶縁膜上に、第 3 の導電膜からなる第 3 の配線を形成すると共に、前記第 3 コンタクトホール内に第 3 の導電膜からなる第 2 の容量電極を形成し、第 2 の容量電極を前記ドレイン電極に電氣的に接続する工程と、を具備し、前記第 1 乃至第 3 コンタクトホール内に、前記ドレイン電極、誘電体としての第 3 の層間絶縁膜及び第 1 の容量電極から構成された第 1 の容量素子と、第 1 の容量電極、誘電体としての第 5 の層間絶縁膜及び第 2 の容量電極から構成された第 2 の容量素子とを形成することを特徴とする。

【0032】

また、本発明に係る半導体装置の作製方法においては、前記ドレイン電極に電

氣的に接続する工程の後に、前記第3の配線、第2の容量電極及び第5の層間絶縁膜の上に第6の層間絶縁膜を形成する工程と、前記画素領域の第5の層間絶縁膜上に、第2の容量電極と電氣的に接続された画素電極を形成する工程と、をさらに有することも可能である。

【0033】

本発明に係る半導体装置は、基板上の駆動回路領域に形成された駆動回路用TFTと、基板上の画素領域に形成された画素用TFTと、前記駆動回路用TFT及び前記画素用TFTの上に形成された第1の層間絶縁膜と、前記画素領域の第1の層間絶縁膜に形成され、画素用TFTのドレイン領域上に位置する第1コンタクトホールと、前記駆動回路領域の第1の層間絶縁膜上に形成された第1の導電膜からなる第1の配線と、前記第1コンタクトホール内に形成された第1の導電膜からなるドレイン電極と、前記第1の配線、前記ドレイン電極及び第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、前記画素領域の第2の層間絶縁膜に形成され、前記第1コンタクトホール上且つ前記ドレイン電極上に位置する第2コンタクトホールと、前記第2の層間絶縁膜上及び前記第2コンタクトホール内に形成された第3の層間絶縁膜と、前記駆動回路領域の第3の層間絶縁膜上に形成された第2の導電膜からなる第2の配線と、前記第2コンタクトホール内に形成された第2の導電膜からなる第1の容量電極と、前記第1の容量電極に形成され、前記第2コンタクトホールの底部に位置する第3の層間絶縁膜の一部を露出させるためのホールと、前記第2の配線、前記第1の容量電極及び第3の層間絶縁膜の上に形成された第4の層間絶縁膜と、前記画素領域の第4の層間絶縁膜に形成され、前記第2コンタクトホール上且つ第1の容量電極上に位置する第3コンタクトホールと、前記第4の層間絶縁膜上及び前記第3コンタクトホール内に形成された第5の層間絶縁膜と、前記第3コンタクトホールの底部に位置する第3及び第5の層間絶縁膜に形成され、第3コンタクトホールの底部下に位置するドレイン電極の一部を露出させるためのホールと、前記駆動回路領域の第5の層間絶縁膜上に形成された第3の導電膜からなる第3の配線と、前記第3コンタクトホール内に形成され、前記ドレイン電極に電氣的に接続された第3の導電膜からなる第2の容量電極と、を具備し、前記第1乃至第3コンタクトホール内

に、前記ドレイン電極、誘電体としての第3の層間絶縁膜及び第1の容量電極から構成された第1の容量素子と、第1の容量電極、誘電体としての第5の層間絶縁膜及び第2の容量電極から構成された第2の容量素子とを形成することを特徴とする。

【0034】

また、本発明に係る半導体装置においては、前記第3の配線、第2の容量電極及び第5の層間絶縁膜の上に形成された第6の層間絶縁膜と、前記画素領域の第5の層間絶縁膜上に形成され、第2の容量電極と電気的に接続された画素電極と、をさらに有することも可能である。

【0035】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

図1は、本発明に係る第1の実施の形態による液晶表示装置における1つのチップを模式的に示す平面図である。

【0036】

この液晶表示装置における1つのチップは平面形状が略四角形の画素領域1を有しており、画素領域1は1つ又は複数の画素で構成されている。この画素領域1の周囲（上側、左側、右側）には周辺回路2a～2cが配置されている。このようなチップは、同一基板上に1つ又は複数配列されている。各々の周辺回路2a～2cは平面形状が細長い略四角形を有しており、その四角形の短い一辺の幅は1～1.5mm程度である。このように周辺回路2a～2cの幅を従来の液晶表示装置のそれより狭くしている。

【0037】

周辺回路の幅を狭くし、画素に対して周辺回路の領域が占める面積を小さく狭額縁化して画素領域の開口率を向上させるには、次のような方法がある。

【0038】

第1の方法としては、従来の配線材料（例えばAl又はAlを含む合金からなる単層膜又は積層膜）より低抵抗の配線材料を用いて配線を形成することにより、配線の線幅を縮小する方法である。つまり、配線に低抵抗材料を用いることに

より、配線の線幅縮小に伴う配線抵抗の増大を抑制することができる。低抵抗の配線材料としては、銅、銅合金、金、金合金、銀、銀合金などが挙げられる。

【0039】

第2の方法としては、配線を2層以上に多層化する。この場合、A1系の配線材料を使用しても良い。A1系の配線材料としてはA1又はA1合金が挙げられる。また、2層以上に多層化した配線のうち、少なくとも1層に低抵抗の配線材料を用いることも可能である。また、トランジスタの上方に2層以上に多層化した配線を配置することも可能である。

【0040】

上記第1の方法又は第2の方法により、周辺回路の配線部分の面積を縮小することが可能となる。これにより、液晶パネルのチップサイズを変えることなく画素サイズを大きくすることができるので、明るさを向上させることができる。また、逆に画素領域の面積を同じにすれば、チップサイズを小さくし、同一基板上に形成できるチップ数を増やすことができるので、量産性を向上させることができる。

【0041】

従来技術では、周辺回路の領域に形成された電源ライン、クロックライン等の配線が単層で平面的に配置されていたので、配線の長さが長くなる分、配線の投影面積が大きくなる。これに対して、本実施の形態では、2層以上の多層配線化することにより、これらの配線を駆動回路上に配置することも可能となり、その結果、配線の投影面積を縮小することができる。また、このような配線の材料に低抵抗材料を用いることにより、配線の幅をさらに狭くすることができる。

【0042】

また、従来技術では、電源ライン、クロックライン等を、線幅を広くした1本の配線で形成していたので、配線の投影面積が大きくなる。これに対して、本実施の形態では、線幅の狭い配線を複数組み合わせることで電源ライン、クロックライン等の配線を形成し、前記複数の配線を多層配線として立体配置することにより、配線の投影面積を縮小することができる。また、このような配線の材料に低抵抗材料を用いることにより、配線の幅をさらに狭くすることができる。

【0043】

また、従来技術では、多数の配線が平行に配置された配線構造があり、このような配線構造では配線の投影面積が大きくなる。これに対して、本実施の形態では、多層配線化することにより同一層内での配線数を減らすことができ、配線の投影面積を減少させることができる。また、このような配線の材料に低抵抗材料を用いることにより、配線の幅をさらに狭くすることができる。

【0044】

上述したような方法で、図1に示すように、周辺回路2a～2cの幅を従来技術の半分、例えば2mmを1mmにすれば、1画素あたり2 μ m程度、例えば18 μ mを20 μ mに画素ピッチを大きくすることができる。

【0045】

次に、本発明に係る第2の実施の形態による液晶表示装置について説明する。

本実施の形態では、ゲイト電極を各TFTにおいて孤立して形成する。言い換えると、ゲイト電極をTFTごとに分離して形成する。つまり、ゲイト電極と同一層で該ゲイト電極と繋げられた配線として引き回すことなく、ゲイト電極と電氣的に接続した上層又は下層の配線を形成し、この配線を引き回すこととする。これにより、ゲイト電極を低抵抗化する必要がなくなり、ゲイト電極を薄膜化することが可能となる。なお、前記下層の配線としては、例えば基板とSi活性層との間に配置された配線が挙げられる。ゲイト電極の材質は、従来技術と同様にN+型ポリシリコン、高融点金属を用いることが可能である。このようにゲイト電極を薄膜化することにより、ゲイト電極の厚さによる段差を減少させることができ、ゲイト電極上の絶縁膜の平坦化が容易となり、ゲイト電極の上層の配線形成が容易になる。

【0046】

次に、本発明に係る第3の実施の形態による液晶表示装置について説明する。

本実施の形態では、例えばゲイト電極を各TFTにおいて孤立して形成するなどのように配線の機能を持たず主にゲイト電極の機能を持つゲイト電極を形成し、このゲイト電極と電氣的に接続した上層又は下層の配線を形成し、この配線に従来技術のゲイト電極が備える配線機能を持たせると共に従来技術の配線のうち

配線長の短い短距離配線の機能を持たせる。なお、前記下層の配線としては、第2の実施の形態と同様に、例えば基板とSi活性層との間に配置された配線が挙げられる。

【0047】

このように従来技術のゲイト電極から配線機能を分割し、その機能をゲイト電極の上層の配線に持たせることにより、従来技術でのゲイト電極では熱活性化に耐える材質でなければならなかったが、本実施の形態でのゲイト電極の上層の配線では熱活性化に耐える材質でなくても良くなる。このため、配線の方法選択の幅を広げることができる。したがって、例えばアルミニウム、アルミニウムを含む合金、銅、銅を含む合金、金、金を含む合金、銀、銀を含む合金のような材料を選択することも可能である。

【0048】

前記短距離配線とは、例えば、液晶表示装置では1つの画素内を引き回す配線の長さ以上、1つの機能ブロックを引き回す配線の長さ以下の配線をいい、代表的には2 μ m以上2 cm未満程度の配線をいう。また、短距離配線の例としては、数個から数十個程度のTFTの相互間を電氣的に接続する配線、前記TFTと配線とを電氣的に接続する配線、前記配線の相互間を電氣的に接続する配線、駆動回路の機能ブロック内を引き回す配線、活性層とソース電極又はドレイン電極とを電氣的に接続する導電膜などが挙げられる。

【0049】

また、前記短距離配線としては、比較的狭い範囲におけるゲイト電極、ソース領域及びドレイン領域の配線の引き回しにのみ用いる配線が挙げられる。前記比較的狭い範囲とは、機能ブロック内（代表的にはシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路内）をいう。このような配線の引き回しに用いることにより、配線の低抵抗化の必要性が少なくなるため、短距離配線の膜厚を薄膜化することが可能となる。短距離配線の膜厚を薄膜化することにより、同一層の短距離配線間の寄生容量を低減することができるので、配線の集積度を上げて前記寄生容量の増大を抑制できる。したがって、配線の高集積度を妨げる要因を減らすことができる。

【0050】

また、前記短距離配線を多層配線化することが好ましい。配線パターンの投影面積で考えると、露光装置等の限界を超えて配線の集積度を上げることができるので、配線の占有面積を確実に縮小することができる。また、このように多層配線化した場合、配線長が短いため、異なる層の短距離配線間の寄生容量の増大を小さく抑えることができる。

【0051】

前記短距離配線の材質をA1層とバリアメタル層の積層構造又はバリアメタル層のみの構造とすることにより、配線を薄膜化することが可能となる。また、本実施の形態による配線構造とすることにより、ゲイト電極の引き回しに関して従来技術より低抵抗の材料を採用できる場合がある。

【0052】

また、前記短距離配線の上層に長距離配線を配置することが好ましい。長距離配線とは、配線長を長くする必要のある配線を独立させ、この配線を多層配線化したものであり、例えば、液晶表示装置では配線の長さが画素ピッチの百倍以上の長さ、代表的には、画素領域全体を横断又は縦断するゲイト電極と配線、ソース配線、ドレイン配線等、具体的には2cm以上10cm以下程度の配線をいう。長距離配線としては、例えば、数百個から数千個程度のTFTの相互間を電氣的に接続する配線、前記TFTと配線とを電氣的に接続する配線、前記配線の相互間を電氣的に接続する配線、画素領域においてゲイト電極、ソース領域に接続され引き回される配線などが挙げられる。

【0053】

また、長距離配線の場合、配線間の寄生容量を増大させないために、配線間のスペースを大きくとることが好ましい。長距離配線の材質としては、銅などの低抵抗材料を用いることが好ましい。

【0054】

このように多層化した長距離配線を短距離配線の上に配置することにより、投影面積で考えれば配線の占有面積を減らすことができる。

【0055】

【実施例】

図2乃至図5は、本発明の実施例による液晶表示装置の作製方法を示す図である。

【0056】

まず、図2（A）の駆動回路部断面図及び画素部断面図に示すように、基板として石英基板11を用意し、この石英基板11上に20nm厚の酸化珪素膜12を成膜する。次いで、この酸化珪素膜12上に非晶質珪素膜を成膜する。

【0057】

なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的に25～40nmとなるように形成する。

【0058】

次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いた固相成長により非晶質珪素膜の結晶化を行う。

【0059】

本実施例では触媒元素としてニッケルを選択し、非晶質珪素膜上にニッケルを含んだ層（図示せず）を形成し、550℃、4時間の熱処理を行って結晶化する。これにより、酸化珪素膜12上に結晶質珪素（ポリシリコン）膜が形成される。

【0060】

次に、この結晶質珪素膜にゲッターリング工程を行った後、パターニングにより被ゲッターリング領域のみで構成される活性層からなる結晶性半導体膜13を形成する。このようにして図2（A）の画素部上面図に示すようなパターンからなる結晶性半導体膜13を得る。

【0061】

この後、図 2 (B) に示すように、結晶性半導体膜 13 及び酸化珪素膜 12 の上にプラズマ CVD 法またはスパッタ法によりゲイト絶縁膜 14 を形成する。このゲイト絶縁膜は画素 TFT、駆動回路の P-TFT 及び N-TFT それぞれのゲイト絶縁膜として機能するものであり、膜厚は 50 ~ 200 nm とする。本実施例では 75 nm 厚の酸化珪素膜を用いる。また、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0062】

こうしてゲイト絶縁膜 14 を形成したら、熱酸化工程を行うことにより、結晶性半導体膜 13 とゲイト絶縁膜 14 の界面には 5 ~ 50 nm (好ましくは 10 ~ 30 nm) の図示せぬ酸化珪素膜 (熱酸化膜) が形成される。

【0063】

次いで、ゲイト絶縁膜 14 の上に第 1 の導電膜からなるゲイト電極 28 ~ 30 を形成する。このゲイト電極 28 ~ 30 は、各 TFT において孤立して形成されている。言い換えると、ゲイト電極 28 ~ 30 は、TFT ごとに分離して形成されている。本実施例ではゲイト電極として、下層から珪素膜 (導電性を持たせたもの) / 窒化タンタル膜 / タングステン膜 (または下層から珪素膜 / タングステンシリサイド膜) という積層膜を用いる。勿論、これら以外の他の導電膜、例えば、Ta、Ti、Mo、Cu などから選ばれた元素又は前記元素を主成分とする合金材料もしくは化合物を用いることも可能であることは言うまでもない。また、本実施例では、各ゲイト電極の膜厚は 250 nm とする。

【0064】

なお、本実施例では最下層の珪素膜を、減圧熱 CVD 法を用いて形成することが好ましい。その理由は、例えば CMOS 回路のゲイト絶縁膜は 5 ~ 50 nm と薄いため、スパッタ法やプラズマ CVD 法を用いた場合、条件によっては半導体膜 (活性層) へダメージを与える恐れがあるからである。従って、化学的気相反応で成膜できる熱 CVD 法が好ましい。

【0065】

次に、ゲイト電極 28 ~ 30 を覆って保護膜 (図示せず) として 25 ~ 50 nm 厚の SiN_xO_y (但し、代表的には $x = 0.5 \sim 2$ 、 $y = 0.1 \sim 0.8$)

膜を形成する。この保護膜はゲイト電極 28～30 の酸化を防ぐものである。なお、成膜を 2 回に分けて行うことはピンホールの低減に効果があり有効である。

【0066】

この時、保護膜を形成する前処理として水素を含むガス（本実施例ではアンモニアガス）を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した（励起した）水素が結晶性半導体膜内に閉じこめられるため、効果的に水素終端が行われる。

【0067】

次に、結晶性半導体膜 13 に対して不純物元素の添加工程を行う。これにより、結晶性半導体膜 13 にはソース領域 16～18 及びドレイン領域 19～21 が形成される。この工程は、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0068】

次いで、結晶性半導体膜 13 に対して不純物元素の添加工程を行う。この工程は先の不純物の添加工程よりも低いドーズ量で添加する。このようにして結晶性半導体膜 13 には低濃度不純物領域 22～24 が形成される。この工程は、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0069】

この工程により TFT のソース領域 16～18、ドレイン領域 19～21、LDD 領域 22～24、チャンネル形成領域 25～27 が画定する。

【0070】

次に、窒素雰囲気中、300～550℃の温度範囲で 1～12 時間の熱処理工程を行う。本実施例では、410℃で 1 時間の熱処理を窒素雰囲気中において行う。

【0071】

なお、本実施例で形成したゲイト電極上の保護膜は、この熱活性化工程でゲイ

ト電極が酸化されることを防ぐために設けられている。しかし、この保護膜は必ずしもゲイト電極の形成直後に設ける必要はない。即ち、このあと形成される第1の層間絶縁膜を形成した後に、その上に保護膜を設け、その後で不純物元素の熱活性化工程を行っても同様の効果を得ることができる。

【0072】

こうして図2（B）の状態が得られたら、図2（C）に示すように、前記保護膜の上に第1の層間絶縁膜31を形成する。本実施例では、プラズマCVD法により形成した酸化珪素膜を用いる。

【0073】

次に、第1の層間絶縁膜31、保護膜及びゲイト絶縁膜12に、ソース領域及びドレイン領域それぞれの上に位置するコンタクトホール（接続孔）を形成する。次いで、このコンタクトホール内及び第1の層間絶縁膜31上に第2の導電膜を堆積し、第2の導電膜をパターニングする。これにより、コンタクトホール内及び第1の層間絶縁膜31上にソース電極32～34、ドレイン電極35、36を形成する。これにより、ソース電極32～34はソース領域16～18に電氣的に接続され、ドレイン電極35、36はドレイン領域19～21に電氣的に接続される。こうして図2（C）の状態を得る。なお、駆動回路部のソース電極32、33は配線（図示せず）に繋がられている。また、駆動回路部のドレイン電極35は配線（図示せず）に繋がられている。

【0074】

次に、図3（D）に示すように、ソース電極及びドレイン電極を含む全面上に第2の層間絶縁膜37を形成する。第2の層間絶縁膜37としては、プラズマCVD法により形成した酸化珪素膜を用いる。

【0075】

次いで、第2の層間絶縁膜37をエッチング加工することにより、該層間絶縁膜37にはドレイン電極36の上に位置するドレインコンタクトホール37aが形成される。なお、エッチング加工する方法としては、第2の層間絶縁膜37上にレジスト膜を塗布し、このレジスト膜を露光、現像することにより、第2の層間絶縁膜上にレジストパターン（図示せず）を形成し、このレジストパターンを

マスクとして第2の層間絶縁膜をエッチング加工する方法を用いても良い。以下に記載するエッチング加工についても同様である。

【0076】

次いで、ドレインコンタクトホール37a内及び第2の層間絶縁膜37上に第3の層間絶縁膜38を形成する。第3の層間絶縁膜38としては、プラズマCVD法により形成した酸化珪素膜を用いても良いし、他の成膜法により形成した他の材質からなる膜を用いても良い。また、第3の層間絶縁膜38はドレインコンタクトホール37a内では容量素子の誘電体として作用する。

【0077】

この後、図3(E)に示すように、第2及び第3の層間絶縁膜37、38をエッチング加工することにより、該層間絶縁膜には駆動回路部におけるTFTのドレイン電極35上に位置する接続孔が形成される。

【0078】

次いで、この接続孔内及び第3の層間絶縁膜38上に第3の導電膜を堆積し、第3の導電膜をパターンニングする。これにより、駆動回路部における接続孔内及び第3の層間絶縁膜38上には第3の導電膜からなる第1の配線39が形成され、第1の配線39はドレイン電極35に電氣的に接続される。これと共に、画素部におけるドレインコンタクトホール37a内及び第3の層間絶縁膜38上には第3の導電膜からなる第1の容量電極40が形成される。第1の容量電極40は、図3(E)の画素部上面図に示すように容量配線40aに繋がられている。容量配線40aは第3の導電膜からなるものである。

【0079】

次に、図4(F)に示すように、第1の容量電極40をエッチング加工することにより、ドレインコンタクトホール37aの底部の一部を露出させる。このようにしてドレインコンタクトホール37a内に第1の容量素子が形成される。即ち、第1の容量素子は、容量電極としても機能するドレイン電極36と、誘電体としても機能する第3の層間絶縁膜38と、第1の容量電極40と、から構成される。

【0080】

このようにドレインコンタクトホール 37 a 内で第 1 の容量素子を形成している。このため、ドレインコンタクトホール内で容量素子を形成せず且つ配線を多層化することもない従来の容量配線に比べて本実施例の容量配線 40 a は細くすることができ、画素部の開口率を向上させることができる。

【0081】

この後、図 4 (G) に示すように、第 1 の容量電極 40、第 1 の配線 39 及び第 3 の層間絶縁膜 38 の上に第 4 の層間絶縁膜 41 を形成する。第 4 の層間絶縁膜 41 としては、プラズマ CVD 法により形成した酸化珪素膜を用いても良いし、他の成膜法により形成した他の材質からなる膜を用いても良い。

【0082】

次いで、第 4 の層間絶縁膜 41 をエッチング加工することにより、該層間絶縁膜 41 にはドレインコンタクトホール 37 a 上及び第 1 の容量電極 40 上に位置するコンタクトホール 41 a が形成される。

【0083】

次いで、コンタクトホール 41 a 内及び第 4 の層間絶縁膜 41 上に第 5 の層間絶縁膜 42 を形成する。第 5 の層間絶縁膜 42 としては、プラズマ CVD 法により形成した酸化珪素膜を用いても良いし、他の成膜法により形成した他の材質からなる膜を用いても良い。また、第 5 の層間絶縁膜 41 はコンタクトホール 41 a 内では誘電体として作用する。

【0084】

次に、図 5 (H) に示すように、コンタクトホール 41 a の底部の第 3 及び第 5 の層間絶縁膜 38、42 をエッチング加工することにより、コンタクトホール 41 a の底部でドレイン電極 36 の一部を露出させる。次いで、第 4 及び第 5 の層間絶縁膜 41、42 をエッチング加工することにより、該層間絶縁膜には駆動回路部における第 1 の配線 39 上に位置する接続孔が形成される。本実施例では、ドレイン電極 36 の一部を露出させるエッチングと駆動回路部における接続孔を形成するエッチングを別々の工程で行っているが、両エッチングを一つのエッチング工程で行うことも可能である。

【0085】

次いで、この接続孔内及び第5の層間絶縁膜42上に第4の導電膜を堆積し、第4の導電膜をパターンニングする。これにより、駆動回路部における接続孔内及び第5の層間絶縁膜42上には第4の導電膜からなる第2の配線43が形成され、第2の配線43は第1の配線39に電氣的に接続される。これと共に、画素部におけるコンタクトホール41a内及び第5の層間絶縁膜42上には第4の導電膜からなる第2の容量電極44が形成され、第2の容量電極44はドレイン電極36に電氣的に接続され、画素部における画素TFTの上方で第5の層間絶縁膜42上には第4の導電膜からなるブラックマスク(BM)45が形成される。

【0086】

このようにしてコンタクトホール41a内に第2の容量素子が形成される。即ち、第2の容量素子は、第1の容量電極40と、誘電体としても機能する第5の層間絶縁膜42と、第2の容量電極44と、から構成される。

【0087】

この後、図5(I)に示すように、第2の配線43、ブラックマスク45及び第2の容量電極44を含む全面上に第6の層間絶縁膜46を形成する。第6の層間絶縁膜46としては、アクリル樹脂膜、ポリイミド等の有機性樹脂膜などを用いることが可能である。

【0088】

次いで、第6の層間絶縁膜46をエッチング加工する。この際、エッチングはドライエッチングを用いる。これにより、第6の層間絶縁膜46には第2の容量電極44上に位置する接続孔が形成される。

【0089】

この後、接続孔内及び第6の層間絶縁膜46上にスパッタ法により導電膜を成膜する。次いで、導電膜をパターンニングすることにより、画素部における第6の層間絶縁膜46上には導電膜からなる画素電極47が形成される。導電膜としては、透過型液晶表示装置を作製する場合には、透光性を有する膜、代表的にはITO膜を用いる。一方、反射型液晶表示装置を作製する場合には、反射性を有する膜、代表的にはAl又はAgからなる膜を用いる。この画素電極47は第2の容量電極44を介してドレイン電極36に電氣的に接続される。

【0090】

上記実施例によれば、駆動回路部において配線を多層化して駆動回路部の面積を小さくし狭額縁化することにより、画素部の開口率を下げることなく、周辺回路の配線部分の面積を縮小することができる。このため、液晶パネルのチップサイズを変えずに、画素サイズを大きくすることができ、明るさを向上できる。逆に、画素サイズを同じにすれば、液晶パネルのチップサイズを小さくできるので、量産性が向上する。

【0091】

また、前記狭額縁化と共に、画素部における画素TFTのドレインコンタクトホール37aにおいて第1及び第2の容量素子を形成している。これにより、画素部でのデッドスペースを低減することができ、画素部の開口率を向上させることができる。

【0092】

言い換えると、駆動回路部において配線を多層化した場合、それに合わせて画素部でも配線を多層化しなければならなくなり、その場合にドレインコンタクトホール37aにおいて容量素子を形成するような方法を採用しないと、画素部で配線を多層化した際にデッドスペースが形成されてしまう。即ち、コンタクトホールの上に更にコンタクトホールを形成するのが困難なため、コンタクトホールを横にずらして形成していくことになり、その結果、デッドスペースが形成されてしまう。しかし、画素TFTのドレインコンタクトホール37aにおいて第1及び第2の容量素子を形成することにより、画素部でのデッドスペースを低減することができ、画素部の開口率を向上させることができる。

【0093】

また、本実施例では、ドレイン電極35、第1及び第2の配線39、43の全体として、第3の実施の形態で説明したような配線長の短い短距離配線の機能を持つ多層配線とすることも可能である。これにより、短距離配線の膜厚を薄膜化することが可能となる。短距離配線の膜厚を薄膜化することにより、同一層の短距離配線間の寄生容量を低減することができるので、配線の集積度を上げて前記寄生容量が増大することがない。したがって、配線の高集積度化を妨げる要因

を減らすことができる。

【0094】

また、本実施例では、第1及び第2の配線39、43それぞれと同一層に第3の実施の形態で説明したような長距離配線を形成することも可能である。

【0095】

また、本実施例では、配線を2層以上に多層化し、TFTの上方に多層化した配線を配置しているため、配線部分の面積を縮小することが可能となる。これにより、液晶パネルのチップサイズを変えることなく画素領域の面積を大きくすることができるので、明るさを向上させることができる。また、逆に画素領域の面積を同じにすれば、チップサイズを小さくし、同一基板に形成できるチップ数を増やすことができるので、量産性を向上させることができる。

【0096】

また、本実施例では、第2乃至第4の導電膜を第1の実施の形態で説明したような低抵抗の配線材料によって形成することも可能である。これにより、配線の線幅を縮小することができる。

【0097】

また、本実施例では、ドレインコンタクトホール37a内で第1の容量素子を形成しているため、容量配線40aの幅を細くすることができ、画素部の開口率を向上させることができる。

【0098】

尚、本発明は前述した実施の形態及び実施例に限定されず、種々変更して実施することが可能である。

【0099】

前記実施例に示した液晶表示装置は、様々な電子機器のディスプレイとして利用される。なお、電子機器とは、液晶表示装置を搭載した製品と定義する。その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。

【 0 1 0 0 】**【発明の効果】**

以上説明したように本発明によれば、一つの画素領域に対して周辺回路の領域が占める面積を小さくすることができる。また、配線を多層化し、周辺回路の領域の幅を狭くして狭額縁化することにより、画素領域の開口率を向上させることができる。

【図面の簡単な説明】**【図 1】**

本発明に係る第 1 の実施の形態による液晶表示装置における 1 つのチップを模式的に示す平面図である。

【図 2】

(A) 乃至 (C) は、本発明の実施例による液晶表示装置の駆動回路部断面、画素部断面及び画素部上面を示す図である。

【図 3】

(D) 及び (E) は、図 2 (C) の次の工程を示す図であって液晶表示装置の駆動回路部断面、画素部断面及び画素部上面を示す図である。

【図 4】

(F) 及び (G) は、図 3 (E) の次の工程を示す図であって液晶表示装置の駆動回路部断面、画素部断面及び画素部上面を示す図である。

【図 5】

(H) 及び (I) は、図 4 (G) の次の工程を示す図であって液晶表示装置の駆動回路部断面、画素部断面及び画素部上面を示す図である。

【図 6】

従来の液晶表示装置における 1 つのチップを模式的に示す平面図である。

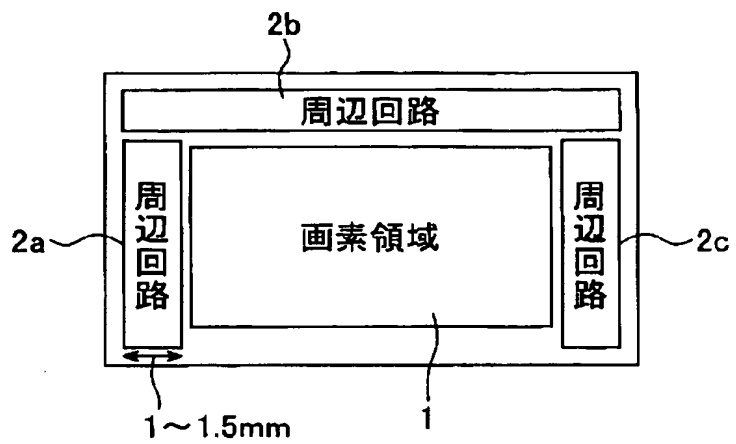
【符号の説明】

- 1, 1 0 1 …画素領域
- 2 a ~ 2 c, 1 0 2 a ~ 1 0 2 c …周辺回路
- 1 1 …石英基板 1 2 …酸化珪素膜
- 1 3 …結晶性半導体膜 1 4 …ゲイト絶縁膜

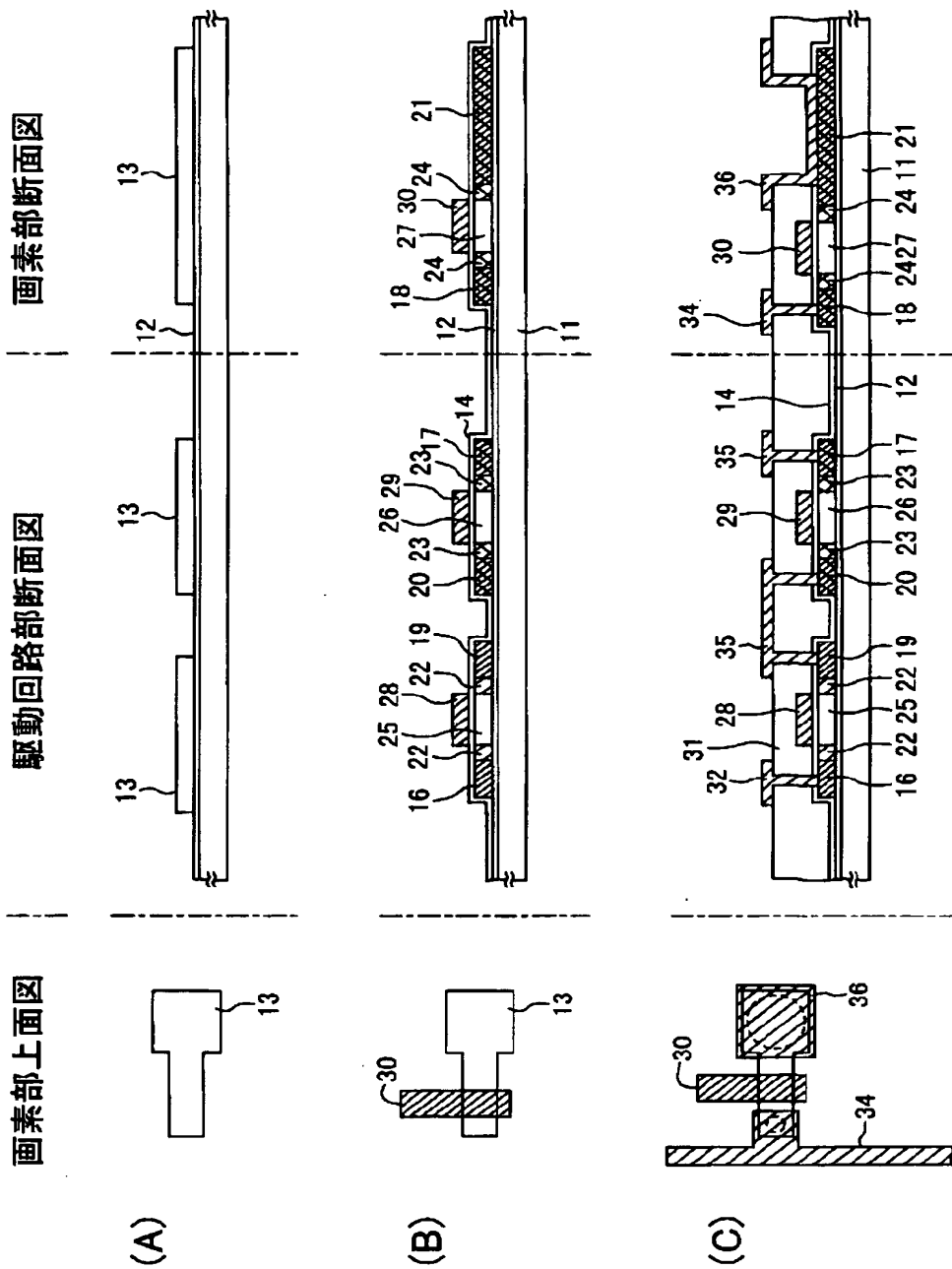
1 6 ～ 1 8 …ソース領域	1 9 ～ 2 1 …ドレイン領域
2 2 ～ 2 4 …L D D 領域	2 5 ～ 2 7 …チャネル形成領域
2 8 ～ 3 0 …ゲイト電極	3 1 …第 1 の層間絶縁膜
3 2 ～ 3 4 …ソース電極	3 5, 3 6 …ドレイン電極
3 7 …第 2 の層間絶縁膜	3 7 a …ドレインコンタクトホール
3 8 …第 3 の層間絶縁膜	3 9 …第 1 の配線
4 0 …第 1 の容量電極	4 0 a …容量配線
4 1 …第 4 の層間絶縁膜	4 1 a …コンタクトホール
4 2 …第 5 の層間絶縁膜	4 3 …第 2 の配線
4 4 …第 2 の容量電極	4 5 …ブラックマスク (B M)
4 6 …第 6 の層間絶縁膜	4 7 …画素電極

【書類名】 図面

【図 1】



【図 2】



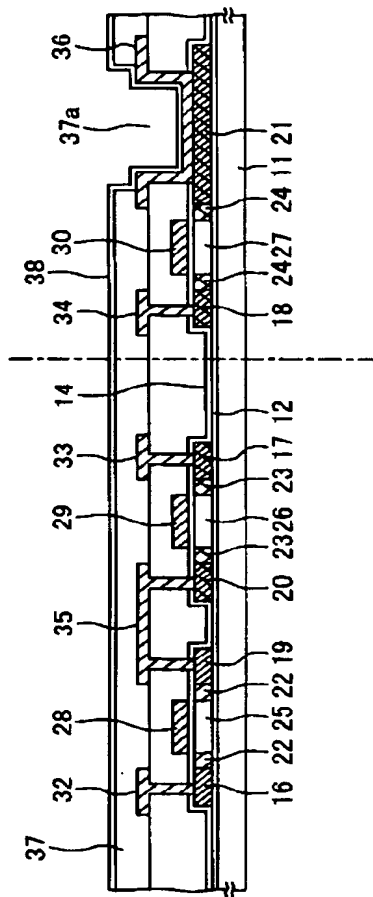
【図 3】

要素部断面図

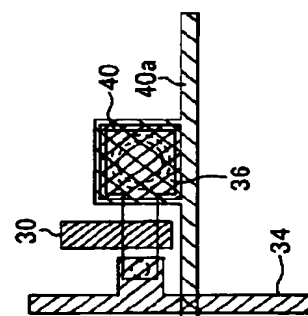
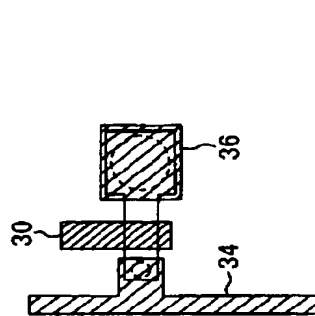
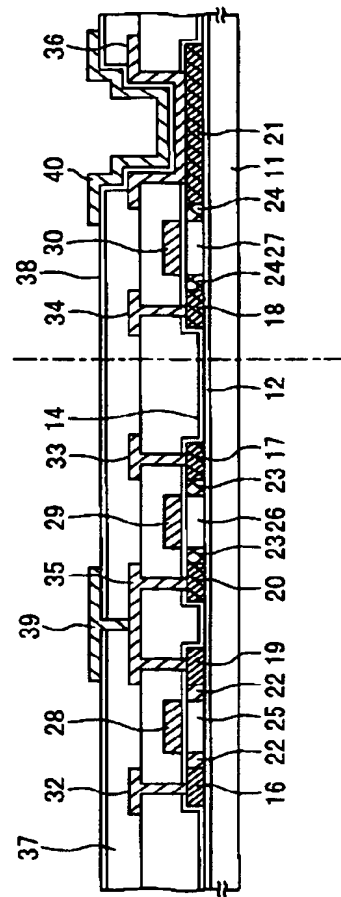
駆動回路部断面図

要素部上面図

(D)



(E)

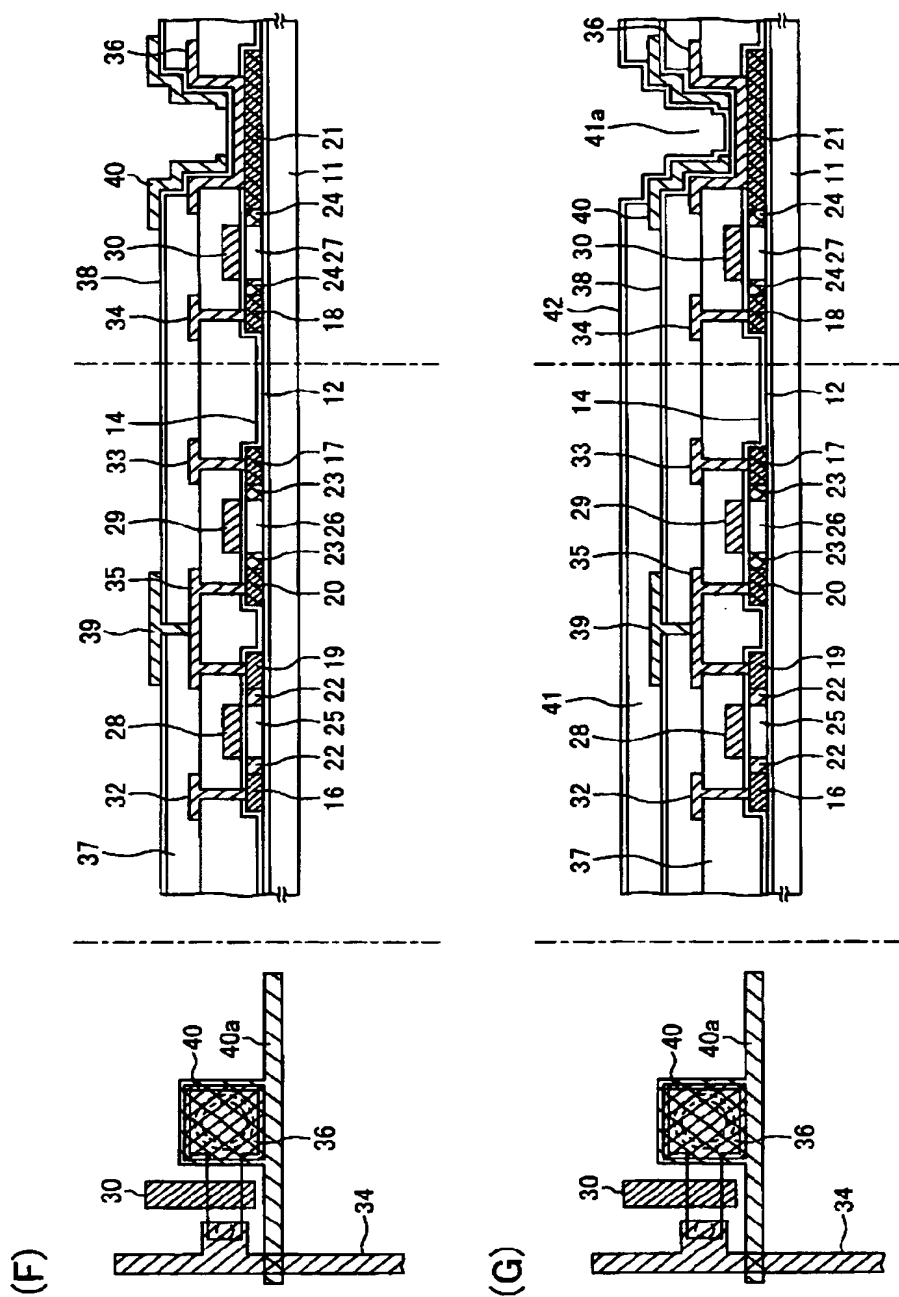


【図 4】

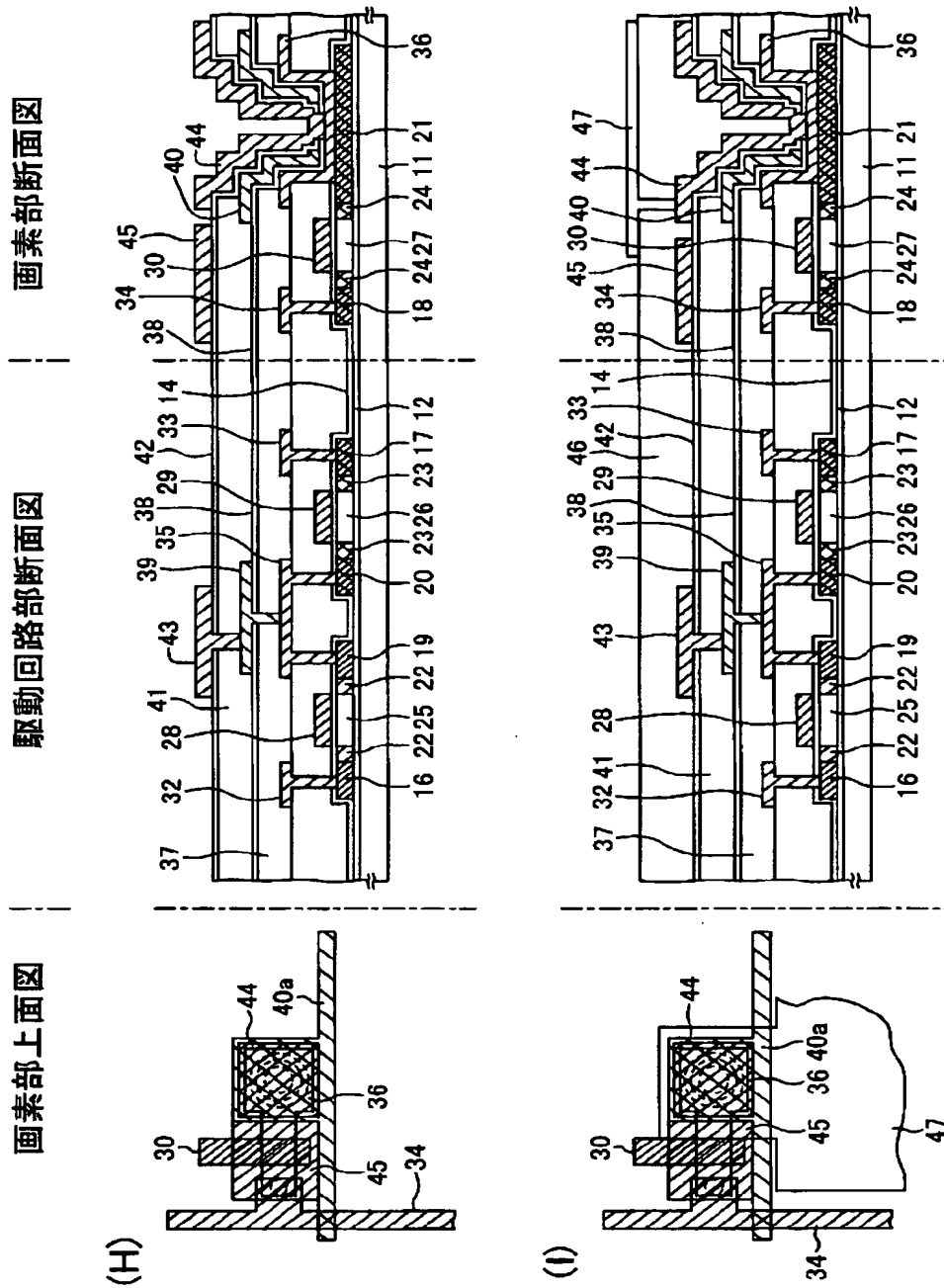
画素部断面図

駆動回路部断面図

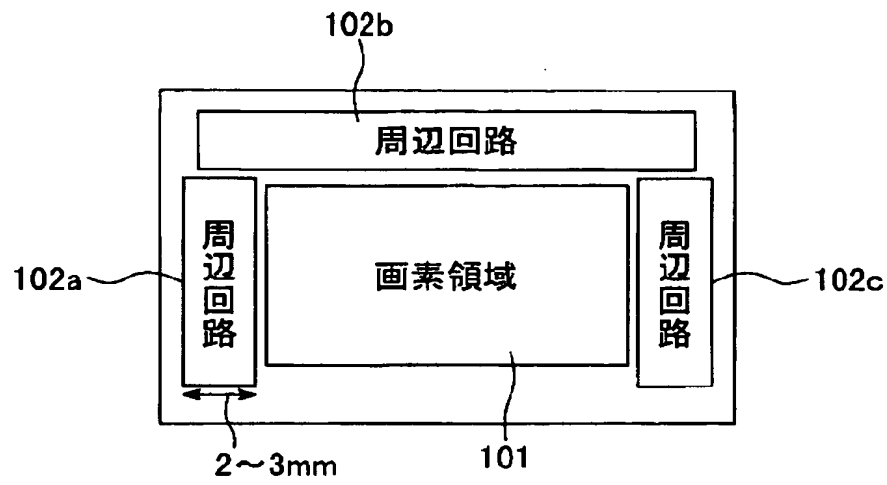
画素部上面図



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 一つの画素領域に対して周辺回路の領域が占める面積を小さくする半導体装置及びその作製方法を提供する。

【解決手段】 本発明に係る半導体装置は、画素領域 1 と、前記画素領域の周囲の少なくとも一部に配置された周辺回路領域 2 a ～ 2 c と、前記周辺回路領域に形成された配線と、を具備し、前記配線が 2 層以上の多層配線であることを特徴とする。前記多層配線のうちの少なくとも 1 層の配線が低抵抗材料からなる。前記周辺回路領域にはトランジスタが形成されており、前記トランジスタの上方に 2 層以上の多層配線が形成されている。

【選択図】 図 1

特願 2 0 0 2 - 3 4 7 3 2 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 1 7 日
新規登録

住 所
氏 名

神奈川県厚木市長谷 3 9 8 番地
株式会社半導体エネルギー研究所

特願 2 0 0 2 - 3 4 7 3 2 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社